(19)【発行国】日本国特許庁（ＪＰ）	(19) [Publication Office] Japanese Patent Office (JP)
(12)【公報種別】公開特許公報（Ａ）	(12) [Kind of Document] Japan Unexamined Patent Publication (A)
(11)【公開番号】特開平７－４１３８３	(11) [Publication Number of Unexamined Application] Japan Unexamined Patent Publication Hei 7 - 41383
(43)【公開日】平成７年（１９９５）２月１０日	(43) [Publication Date of Unexamined Application] 1995 (1995) February 10 day
(54)【発明の名称】半導体単結晶およびその製造方法	(54) [Title of Invention] SEMICONDUCTOR SINGLE CRYSTAL AND ITS MANUFACTURING METHOD
(51)【国際特許分類第６版】	(51) [International Patent Classification 6th Edition]
C30B 15/00 Z	C30B 15/00 Z
15/14	15/14
29/06 502 E 8216-4G	29/06 502 E 8216-4G
33/02 8216-4G	33/02 8216-4G
H01L 21/208 P 9277-4M	H01L 21/208 P 9277-4M
【審査請求】未請求	[Request for Examination] Examination not requested
【請求項の数】２	[Number of Claims] 2
【出願形態】ＯＬ	[Form of Application] OL
【全頁数】７	[Number of Pages in Document] 7
(21)【出願番号】特願平５－１８８５３６	(21) [Application Number] Japan Patent Application Hei 5 - 188536
(22)【出願日】平成５年（１９９３）７月２９日	(22) [Application Date] 1993 (1993) July 29 day
(71)【出願人】	(71) [Applicant]
【識別番号】０００００６６５５	[Applicant Code] 000006655
【氏名又は名称】新日本製鐵株式会社	[Name] NIPPON STEEL CORP. (DB 69-057-0072)
【住所又は居所】東京都千代田区大手町２丁目６番３号	[Address] Tokyo Chiyoda-ku Otemachi 2-6-3
(71)【出願人】	(71) [Applicant]
【識別番号】０００１１１０９６	[Applicant Code] 0001 110 96
【氏名又は名称】ニッテツ電子株式会社	[Name] ニッテツ ELECTRON KK
【住所又は居所】東京都中央区八丁堀三丁目１１番１２	[Address] Tokyo Chuo-ku Hatchobori 3-Chome 11-12

号

(72)【発明者】	(72) [Inventor]
【氏名】岩崎　俊夫	[Name] Iwasaki　Toshio
【住所又は居所】山口県光市大字島田３４３４番地　新日本製鐵株式会社光製鐵所内	[Address] Inside of Yamaguchi Prefecture Hikari City Oaza Shimada 34 34　Nippon Steel Corp. (DB 69-057-0072) optical make鐵 place
(72)【発明者】	(72) [Inventor]
【氏名】中靜　恒夫	[Name] Medium靜　Tsuneo
【住所又は居所】山口県光市大字島田３４３４番地　新日本製鐵株式会社光製鐵所内	[Address] Inside of Yamaguchi Prefecture Hikari City Oaza Shimada 34 34　Nippon Steel Corp. (DB 69-057-0072) optical make鐵 place
(72)【発明者】	(72) [Inventor]
【氏名】長谷部　政美	[Name] Hasebe　Masami
【住所又は居所】山口県光市大字島田３４３４番地　新日本製鐵株式会社光製鐵所内	[Address] Inside of Yamaguchi Prefecture Hikari City Oaza Shimada 34 34　Nippon Steel Corp. (DB 69-057-0072) optical make鐵 place
(72)【発明者】	(72) [Inventor]
【氏名】大久保　正道	[Name] Okubo　Masamichi
【住所又は居所】山口県光市大字島田３４３４番地　ニッテツ電子株式会社内	[Address] Inside of Yamaguchi Prefecture Hikari City Oaza Shimada 34 34　ニッテツ electron KK
(72)【発明者】	(72) [Inventor]
【氏名】原田　博文	[Name] Harada　Hirofumi
【住所又は居所】山口県光市大字島田３４３４番地　ニッテツ電子株式会社内	[Address] Inside of Yamaguchi Prefecture Hikari City Oaza Shimada 34 34　ニッテツ electron KK
(74)【代理人】	(74) [Attorney(s) Representing All Applicants]
【弁理士】	[Patent Attorney]
(57)【要約】	(57) [Abstract]
【目的】　本発明は、チョクラルスキー法（以下、ＣＺ法）により製造された絶縁酸化膜の耐電圧特性（以下、酸化膜耐圧）の優れたシリコン単結晶およびその製造法を提供することを目的とする。	[Objective]　This invention designates that silicon single crystal and its production method where voltage resistance characteristic (Below , oxide film voltage resistance)of insulating oxidized film which is produced by Czochralski method (Below , CZ method) is superior areoffered as object.
【構成】　上記目的を達成するために本発明においては、チョクラルスキー法によりシリコン単結晶を製造する	[Constitution]　Regarding to this invention in order to achieve above-mentioned object,the temperature region of 1200 °C to

過程において、結晶製造炉内で１２００℃～８５０℃の温度域を２００分以上滞在させる。また、本発明の方法で製造されたシリコン単結晶は、酸化膜耐圧特性のＣモード合格率が１ウェーハにつき６０％以上である様な、酸化膜耐圧が優れたシリコン単結晶である。

【特許請求の範囲】

【請求項１】　チョクラルスキー法によりシリコン単結晶を製造する過程において、結晶製造炉内で１２００℃～８５０℃の温度域を２００分以上滞在させることを特徴とする半導体単結晶の製造方法。

【請求項２】　請求項１の方法で製造されたシリコン単結晶であって、上層がアルミニウム、下層がドープされた多結晶シリコンからなる直径５ｍｍの２層ゲート電極を有する多数個のＭＯＳダイオードを該シリコン単結晶から切り出したシリコンウェーハに実装し、基板シリコンから多数キャリアが注入される極性の直流電圧を各ＭＯＳダイオードに印加して電圧ランピング法により前記ウェーハの絶縁酸化膜の耐電圧特性を評価した場合において、酸化膜を通して流れる電流密度が１μｍＡ／ｃｍ^{2}の時の該酸化膜にかかる平均電界が８．０ＭＶ／ｃｍ以上を示すＭＯＳダイオードの個数の総数に対する割合が１ウェーハにつき６０％以上であることを特徴とする絶縁酸化膜の耐電圧特性の優れた半導体単結晶。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、チョクラルスキー法（以下、ＣＺ法）により製造された絶縁酸化膜の耐電圧特性（以下、酸化膜耐圧）の優れたシリコン単結晶およびその製造法に関する。

【０００２】

【従来の技術】ＣＺシリコン単結晶は結晶強度が高いなどの優れた特徴を有しているため、従来よりＬＳＩ用の材料として広く用いられている。ところが、シリコン単結晶の酸化膜耐圧は、製造方法の根本的な違いにより大きく異なることが知られており、ＣＺシリコン単結晶の酸化膜耐圧はフローティングゾーン法により製造されたシリコン単結晶やＣＺシリコンウェーハ上にシリコン薄

850 °C above 20 0 min you stay inside crystal production furnace inthe process which produces silicon single crystal with Czochralski method. In addition, silicon single crystal which is produced with method of this inventionthe C mode approval rate of oxide film voltage resistance seems that is a 60 % or higher concerning 1 wafer, itis a silicon single crystal where oxide film voltage resistance is superior.

[Claim(s)]

[Claim 1] In process which produces silicon single crystal with Czochralski method, inside crystal production furnacethe temperature region of 1200 °C to 850 °C manufacturing method of semiconductor single crystal which designates thatabove 20 0 min you stay as feature.

[Claim 2] Being a silicon single crystal which is produced with method of Claim 1 being, top layer aluminum, bottom layer mounts in silicon wafer which cuts MOS diode of large number whichpossesses 2 layers gate electrode of diameter 5 mm which consists of polycrystalline silicon which thedoped is done from said silicon single crystal, applying doing direct current voltage of polarity where large number carrier is filled fromthe substrate silicon in each MOS diode, when you appraise voltage resistance characteristic of insulating oxidized film ofthe aforementioned wafer with voltage ramping method in, , When current density which flows through oxidized film is 1 μm A/cm^2, ratiofor total number of number of MOS diode where even electric field whichdepends on said oxidized film shows above 8.0M V/cm semiconductor single crystal where voltage resistance characteristicof insulating oxidized film which designates that it is a 60 % or higher concerning 1 waferas feature is superior.

[Description of the Invention]

[0001]

[Field of Industrial Application] This invention regards silicon single crystal and its production method where voltage resistance characteristic (Below, oxide film voltage resistance) of theinsulating oxidized film which is produced by Czochralski method (Below, CZ method) is superior.

[0002]

[Prior Art] CZ silicon single crystal because or other where crystal intensity is high it has possessedthe feature which is superior, is used widely as material for theLSI from until recently. However, as for oxide film voltage resistance of silicon single crystal, it is informed, that itdiffers largely by fundamental difference of manufacturing method oxide film voltage resistance of theCZ silicon single crystal is low considerably in

膜をエピタキシャル成長させたウェーハのそれに比べて著しく低い。しかし、近年のＭＯＳデバイス集積度の増大にともない、ゲート酸化膜の信頼性向上が強く望まれるところとなり、酸化膜耐圧はその信頼性を決定する重要な材料特性の１つであるため、酸化膜耐圧特性の優れたＣＺシリコン単結晶の製造技術開発が重要視されていた。

【０００３】酸化膜耐圧の優れたＣＺシリコン単結晶の製造方法としては、特開平２－２６７１６９５号公報にＣＺ法により直径１００ｍｍ以上のシリコン単結晶を製造する方法において、結晶成長速度を０．８ｍｍ／分以下とすることを特徴とする方法が開示されている。しかし、この方法では生産性が低いため実用的ではなかった。したがって、結晶製造速度が従来通り１．２ｍｍ／分のままで、酸化膜耐圧の優れたＣＺシリコン結晶を製造する方法が必要とされていたが、従来そのような方法は存在しなかった。

【０００４】

【発明が解決しようとする課題】本発明は、ＣＺ法により製造された酸化膜耐圧を良好なシリコン単結晶およびその製造方法を提供することを目的とする。

【０００５】

【課題を解決するための手段】上記目的を達成するために本発明においては、チョクラルスキー法によりシリコン単結晶を製造する過程において、結晶製造炉内で１２００℃～８５０℃の温度域を２００分以上滞在させる。

【０００６】また、本発明の方法で製造されたシリコン単結晶は、上層がアルミニウム、下層がドープされた多結晶シリコンからなる直径５ｍｍの２層ゲート電極を有する多数個のＭＯＳダイオードを該シリコン単結晶から切り出したシリコンウェーハに実装し、基板シリコンから多数キャリアが注入される極性の直流電圧を各ＭＯＳダイオードに印加して電圧ランピング法により前記ウェーハの絶縁酸化膜の耐電圧特性を評価した場合において、酸化膜を通して流れる電流密度が１μＡ／ｃｍ^{2}の時の該酸化膜にかかる平均電界が８．０ＭＶ／ｃｍ以上を示すＭＯＳダイオードの個数の総数に対する割合が１ウェーハにつき６０％以上である様な、酸化膜耐圧が優れたシリコン単結晶である。

comparison with that of wafer whichthe silicon thin film epitaxial growth is done on silicon single crystal and CZ silicon wafer which areproduced by floating zone method . But, it became place where reliability improvement of gate oxide film isstrongly desired attendant upon increase of MOS device degree of integration of recentyears, as for oxide film voltage resistance because it is a one of important material characteristicwhich decides reliability, production technology development of CZ silicon single crystal where the oxide film voltage resistance is superior was attached importance.

[0003] Regarding to method which produces silicon single crystal of diameter 100 mmor greater with theCZ method in Japan Unexamined Patent Publication Hei 2 - 2671695 disclosure as manufacturing method of CZ silicon single crystal where oxide film voltage resistance issuperior, method which designates that it designates crystal growth rate asbelow 0.8 mm/min as feature is disclosed. But, because with this method productivity is low, it was not a practical. Therefore, method which produces CZ silicon crystal where crystal production rate issuperior until recently sort in while it is a 1.2 mm/min, oxide film voltage resistance wasneeded but, that kind of method did not exist until recently.

[0004]

[Problems to be Solved by the Invention] This invention oxide film voltage resistance which is produced by CZ method designates thesatisfactory silicon single crystal and that its manufacturing method is offered as object.

[0005]

[Means to Solve the Problems] Regarding to this invention in order to achieve above-mentioned objective,the temperature region of 1200 °C to 850 °C above 20 0 min you stay inside crystal production furnace inthe process which produces silicon single crystal with Czochralski method .

[0006] In addition, Is produced with method of this invention as for silicon single crystal which, top layer aluminum, bottom layer mounts in silicon wafer which cuts MOS diode of large number whichpossesses 2 layers gate electrode of diameter 5 mm which consists of polycrystalline silicon which thedoped is done from said silicon single crystal, applying doing direct current voltage of polarity where large number carrier is filled fromthe substrate silicon in each MOS diode, when you appraise voltage resistance characteristic of insulating oxidized film ofthe aforementioned wafer with voltage ramping method in, , When current density which flows through oxidized filmis 1 μA/cm2, ratiofor total number of number of MOS diode where even electric field whichdepends on said oxidized film shows above 8.0M V/cm it seems that is a 60 % or higherconcerning 1 wafer, it is a silicon single crystal where oxide film voltage

【０００７】

【作用】以下、図表を用いながら本発明について説明する。図１は、本発明の製造方法により得られたシリコン単結晶の酸化膜耐圧を評価する際、シリコンウェーハ上に実装したＭＯＳダイオードの断面であり、シリコンウェーハ１のうえに酸化珪素膜２が形成され、その上に上層がアルミニウム３、下層がドープされた多結晶シリコン４からなる直径５ｍｍの２層ゲート電極５が形成されている。

【０００８】次に本発明の製造方法により得られたシリコン単結晶における酸化膜耐圧特性に関する評価手段を表１により説明する。

【０００９】

resistance is superior.

[0007]

[Work or Operations of the Invention] Below, making use of diagram while you explain concerning thethis invention. Figure 1 when appraising oxide film voltage resistance of silicon single crystal which is acquiredwith manufacturing method of this invention, is cross section of MOS diode which ismounted on silicon wafer, silicon oxide film 2 is formed on silicon wafer 1, top layer thealuminum 3 and bottom layer 2 layers gate electrode 5 of diameter 5 mm which consists of polycrystalline silicon 4which doped is done are formed on that.

[0008] Next evaluating means regarding oxide film voltage resistance in silicon single crystal which is acquired withthe manufacturing method of this invention is explained with Table 1 .

[0009]

【表１】

[Table 1]

Ｎｏ	工　程	条　件
１	ウェーハ洗浄	１．５ｗ％ＨＦ中６０秒浸漬後、超純水中でリンス
２	ゲート酸化	１０００℃乾燥酸素中で高温酸化、 酸化膜厚約２５０オングストローム
３	多結晶Ｓｉ堆積	堆積温度６４０℃、非ドープ多結晶Ｓｉ膜、 膜厚約５０００オングストローム
４	酸化前洗浄	９７％H_2SO_4・３１％H_2O_2＝３：１（体積比）中 １００℃で５分間浸漬後、超純水でリンス　さらに、 １．５ｗ％ＨＦ中６０秒浸漬後、超純水中でリンス
５	多結晶Ｓｉ酸化	９００℃乾燥酸素中で高温酸化、 酸化膜厚約３００オングストローム
６	イオン注入	ｎ型：Ｐドーズ量：５×$10^{15}cm^{-2}$、加速電圧３０ｋｅＶ Ｐ型：Ｂドーズ量：$10^{16}cm^{-2}$、加速電圧８０ｋｅｖ
７	アニール前洗浄	９７％H_2SO_4：３１％H_2O_2=３：１（体積比）中 １００℃で５分間浸漬後、超純水でリンス　さらに、 １．５ｗ％ＨＦ中６０秒浸漬後、超純水中でリンス
８	ドライブアニール	９００℃窒素中３０分
９	多結晶Ｓｉ 酸化膜エッチング	４０％NH_4F：５０％ＨＦ＝１０：１（体積比）
１０	Ａｌ蒸着	抵抗加熱蒸着、厚さ２０００～５０００オングストローム
１１	リソグラフィー	ポジレジスト、厚さ１μｍ
１２	Ａｌエッチング	８５％H_3PO_4：７０％HNO_3＝１９：１（体積比）
１３	多結晶Ｓｉ エッチング	反応性プラズマエッチング、CF_4
１４	レジスト除去	Ｃ洗浄（Ｊ１００中１００℃１０分２回、トリクレン中 ８６℃５分２回、トリクレン中８６℃１０分１回 赤外線で乾燥）
１５	水素アニール	H_2（２×10^3 ｃｃ／ｍｉｎ）＋ N_2（１０×10^3 ｃｃ／ｍｉｎ）中４００℃３０分
１６	レジスト塗布	レジスト厚さ２μｍ
１７	裏面多結晶Ｓｉ エッチング	反応性プラズマエッチング、CF_4
１８	レジスト塗布	レジスト厚さ２μｍ
１９	裏面多結晶Ｓｉ 酸化膜エッチング	４０％NH_4F：５０％ＨＦ＝１０：１（体積比）
２０	裏面電極蒸着	電子衝撃加熱、厚さ約２０００オングストローム、 Ｐ型：Ａｕ、ｎ型：ＡｕＳｂ
２１	レジスト除去	Ｃ洗浄（Ｊ１００中１００℃１０分２回、 トリクレン中８６℃５分２回、 トリクレン中８６℃１０分１回　赤外線で乾燥）
２２	酸化膜耐圧測定	電圧ランピング法

【００１０】まずＣＺシリコンインゴットをスライスし、ラッピング、ポリッシングなど、通常のシリコンウェーハを工業的に製造するために必要な諸過程を経て得ら

[0010] First slice it does CZ silicon ingot, it passes, by process which suchas lapping and are necessary in order to produce conventional silicon wafer in industriallyand polishing it

れたウェーハを洗浄し（１）、ゲート酸化を行って酸化珪素膜を形成し（２）、多結晶シリコン膜を堆積させ（３）、この多結晶シリコンにイオン注入してドープする（６）。酸化前洗浄（４）および多結晶シリコンの酸化（５）はイオン注入（６）の前処理である。ついで、アニール前洗浄（７）を行い、ドライブアニールして多結晶シリコン中のドーパントを固溶化し（８）、多結晶シリコン膜をエッチング除去し（９）、アルミニウムを蒸着しアルミニウム層を形成する（１０）。つぎに、直径５ｍｍの２層ゲート電極を実装するためにリソグラフィ（１１）によりポジレジスト膜をコートして、パターニングした後、アルミニウム膜をエッチングし（１２）、多結晶シリコン膜をエッチングして（１３）、レジスト膜を除去する（１４）。そして、水素アニールにより珪素／酸化珪素膜界面を安定化した後（１５）、表面にレジスト膜を塗布してＭＯＳダイオードを保護し（１６）、プラズマエッチングにより裏面多結晶シリコン膜を除去する（１７）。表面に保護用のレジスト膜を再塗布して（１８）、裏面酸化膜をエッチングにより除去し（１９）、ｐ型の場合には金を、ｎ型の場合には金・アンチモン合金を蒸着して裏面電極を形成する（２０）。最後に、保護用レジスト膜を除去した後（２１）、電圧ランピング法により酸化膜耐圧特性を評価する（２２）。電圧ランピング法とは、図１において、基板シリコンから多数キャリアが注入される極性の直流電圧をアルミニウム層３と裏面電極との間に印加し、その電圧を時間に対してステップ状に増加させる方法である。本発明では、該電圧ランピング法の１スッテップ当たりの電圧増加を電界換算で０．２５ＭＶ／ｃｍ、保持時間を２００ｍｓ／ステップとし、図１における酸化珪素膜２を通して流れる電流密度が１．０μＡ／ｃｍ^{2}となるときに酸化珪素膜２にかかる平均電界が８．０ＭＶ／ｃｍ以上を示すＭＯＳダイオードの個数の総数に対する割合（これをＣモード比率という）でシリコン単結晶の酸化膜耐圧を評価した。このＣモード比率が６０％以上の場合に、酸化膜耐圧が良好であるという。

【００１１】ＣＺ法により製造されたシリコン単結晶中には、製造途中に形成された微小な酸素析出物が存在している。この微小酸素析出物が結晶表面に存在し、ゲート酸化膜形成時に酸化膜に取り込まれるあるいはその一部が取り込まれると、その部分が８ＭＶ／ｃｍ以下での絶縁破壊の原因となり、Ｃモード比率を低下させる。

【００１２】本発明者らは、各種酸化膜耐圧特性を有する結晶の育成中の冷却条件を詳細に調査した結果、冷却条件と絶縁破壊原因となる微小酸素析出物の形成との間に次ぎのような関係があることを発見した。即ち、ＣＺ法によるシリコン単結晶の育成過程において、融点から

washes wafer which is acquired and (1), doing the gate oxidation, it forms silicon oxide film and (2), accumulating polycrystalline silicon membrane, (3), the ion implantation doing in this polycrystalline silicon, doped it does, (6). oxidation (5) of oxidation precleaning (4) and polycrystalline silicon is preprocessing of ion implantation (6). Next, it does anneal precleaning (7), drive anneal does and to solid solution converts the dopant in polycrystalline silicon and (8), etching it removes polycrystalline silicon membrane and (9), the vapor deposition it does aluminum and forms aluminum layer (10). Next, coating doing positive resist film in order to mount 2 layers gate electrode of the diameter 5 mm with lithography (11), patterning after doing, etching it does the aluminum membrane and (12), etching doing polycrystalline silicon membrane, (13), it removes resist film (14). silicon / silicon oxide film interface after being stabilized, (15), applying resist film to surface and, with hydrogen anneal, it protects MOS diode and (16), it removes the back surface polycrystalline silicon membrane with plasma etching (17). Re-applying resist film for protection to surface, (18), it removes the back surface oxidized film with etching and (19), in case of p-type gold, in case of n-type vapor deposition doing gold * antimony alloy, it forms back surface electrode (20). Lastly, after removing resist film for protection, oxide film voltage resistance is appraised (21), with voltage ramping method (22). It is a method which voltage ramping method, applying does direct current voltage of the polarity where large number carrier is filled from substrate silicon in Figure 1, with the aluminum layer 3 and back surface electrode, increases in step voltage vis-a-vis time. With this invention, voltage increase per 1 スッ step of said voltage ramping method the 0.25M V/cm and retention time were designated as 200 ms / step with electric field conversion, when current density which flows through silicon oxide film 2 in Figure 1 becomes 1.0 μA/cm2, oxide film voltage resistance of silicon single crystal was appraised with the relative (This C mode ratio you call) for total number of number of MOS diode where even electric field which depends on silicon oxide film 2 shows above 8.0M V/cm. You say that when this C mode ratio is 60 % or higher, oxide film voltage resistance is satisfactory.

[0011] Fine oxygen precipitate which was formed to production middle exists in the silicon single crystal which is produced by CZ method. This minute oxygen precipitate exists in crystal surface, is taken in to oxidized film at the time of gate oxide film formation when or part of that is taken in, the portion below 8M V/cm, it becomes cause of insulation breakdown, C mode ratio decreases.

[0012] As for these inventors, as for result of investigating cooling condition which is in midst of rearing crystal which possesses various oxide film voltage resistance in detail, fact that it is next kind of relationship with formation of minute oxygen precipitate which becomes cooling condition and the insulation

１３００℃までの高温域では微小酸素析出物の発生核が導入される。１３００℃～１２００℃の温度域では、この微小酸素析出物の発生核が形成される。１２００℃～８５０℃の温度域では、逆にこの微小酸素析出の発生核が分解し、密度が減少する。８５０℃以下の温度域では発生核を中心ととして酸素析出が進行し、微小酸素析出物として成長する。

【００１３】この微小酸素析出物の密度が１×１０^{5}個／ｃｍ^{3}以下の場合には、ウェーハ最表面のゲート酸化膜形成領域にこの微小酸素析出物が存在しても、酸化膜耐圧には悪影響を及ぼさない。したがって、良好な酸化膜耐圧を有するシリコン単結晶とは、耐圧に悪影響を及ぼす微小酸素析出物が、１×１０^{5}個／ｃｍ^{3}以下の場合である。

【００１４】通常の方法で製造されるＣＺシリコン単結晶は、１２００℃～８５０℃の温度域の滞在時間が短いために１３００℃～１２００℃で形成された微小酸素析出物の発生核を充分には分解することができない。そのため１×１０^{5}個／ｃｍ^{3}以上の微小酸素析出物が存在し、酸化膜耐圧のＣモード比率を低下させる原因となっていた。

【００１５】一方、ＣＺ法によりシリコン単結晶を製造する過程において、結晶製造炉内で１２００℃～８５０℃の温度域を２００分以上滞在させることによって、良好な酸化膜耐圧を有するシリコン単結晶を製造することができる。この方法で製造されたＣＺシリコン単結晶の酸化膜耐圧のＣモード比率は、結晶部位によらず６０％以上であり、良好な酸化膜耐圧を有している。

【００１６】

【実施例】以下に本発明の実施例を挙げて説明するが、本発明がこれらの実施例の記載によって制限されるものでないことは言うまでもない。なお、酸化膜耐圧の評価は前述のように、表１の工程によりＣモード比率を求めることにより行った。

【００１７】実施例１

本発明に用いられる単結晶製造装置は、通常ＣＺ法によるシリコン単結晶製造に用いられるものであれば特に限

breakdown cause was discovered. Namely, with high temperature region to 1300 °C occurrence nucleus of minuteoxygen precipitate is introduced from melting point in growth process of silicon single crystal due tothe CZ method. With temperature region of 1300 °C to 1200 °C, occurrence nucleus of this minute oxygen precipitateis formed. With temperature region of 1200 °C to 850 °C, occurrence nucleus of this minute oxygenprecipitation disassembles conversely, density decreases. With temperature region of 850 °C or below oxygen precipitation advances with theoccurrence nucleus as center, grows as minute oxygen precipitate.

[0013] When density of this minute oxygen precipitate is below 1 X 10^5 /cm^3, this minuteoxygen precipitate existing in gate oxide film forming region of wafer topmost surface, adverse effect is not caused tothe oxide film voltage resistance . Therefore, silicon single crystal which possesses satisfactory oxide film voltage resistance, when theminute oxygen precipitate which causes adverse effect to pressure resistance, it is below the1 X 10^5 /cm^3 is.

[0014] As for CZ silicon single crystal which is produced with conventional method, it is not possibleto disassemble occurrence nucleus of minute oxygen precipitate which wasformed because residence time of temperature region of 1200 °C to 850 °C is short with the1300 °C to 1200 °C in satisfactory . Because of that minute oxygen precipitate above 1 X 10^5 /cm^3 existed, C mode ratio ofthe oxide film voltage resistance had become cause which decreases.

[0015] On one hand, silicon single crystal which possesses satisfactory oxide film voltage resistance by abovethe 20 0 min staying inside crystal production furnace in process which produces thesilicon single crystal with CZ method , temperature region of 1200 °C to 850 °C, can be produced. C mode ratio of oxide film voltage resistance of CZ silicon single crystal which is produced with this methodis 60 % or higher with crystal site, it has possessed satisfactory oxide film voltage resistance.

[0016]

[Working Example(s)] Listing Working Example of this invention below, you explain, but this invention it isnot something which is restricted by statement of these Working Example. Furthermore , appraisal of oxide film voltage resistance aforementioned way,did by seeking C mode ratio with step of Table 1.

[0017] Working Example 1

As for single crystal production equipment being used for this invention, if it is something which isused for silicon single crystal

定されるものではなく、本実施例では図２に示すような製造装置を用いた。このＣＺ法シリコン単結晶製造装置１１は、シリコン溶融のための構造体が収容される加熱チャンバ１２ａと、分離機構３０によって分離および接続される育成されたシリコン単結晶インゴットＳを収容する引上げチャンバ１２ｂとからなるチャンバ１２を有し、加熱チャンバ１２ａ内に、石英ルツボ１５ｂとこれを保護する黒鉛製ルツボ１５ａとから構成されたルツボ１５と、このルツボ１５の側面部を取り囲むように配置された加熱ヒータ１６と、加熱ヒータ１６からの熱が加熱チャンバ１２ａ外部に逃げるのを防止するため断熱部材２１が配置されており、このルツボ１５は、図示されていない駆動装置と回転治具１４によって接続され、この駆動装置によって所定の速度で回転されると共に、ルツボ１５内のシリコン融液の減少にともないシリコン融液液面が低下するのを補うためにルツボ１５を昇降させるようになっている。引上げチャンバ１２ｂ内には、チャンバ内を垂下された引上げワイヤ１７が設置され、このワイヤの下端には種結晶１８を保持するチャック１９が設けられている。この引上げワイヤ１７の上端側は、ワイヤ巻き上げ機２０に巻きとられて、シリコン単結晶インゴットを引き上げるようになった引上げ装置が設けられている。そして、チャンバ１２内には、引上げチャンバ１２ｂに形成されたガス導入口２２からＡｒガスが導入され、加熱チャンバ１２ａ内をまんべんなく流通してガス流出口２３から排出される。このようにＡｒガスを流出させるのは、シリコンの溶融にともなってチャンバ内に発生するＳｉＯをシリコン融液内に混入させないようにするためである。

production usually due to CZ method, it was notsomething which especially is limited, with this working example, kind offacility which is shown in Figure 2 was used. As for this CZ method silicon single crystal production equipment 11, structure for silicon melt is accommodated heating chamber 12a where, It is separated and is connected by separation mechanism30 and chamber 12 whichconsists of pulling up chamber 12b which accommodates silicon single crystal ingot S whichwas reared to possess, To inside heating chamber 12a, Is formed from quartz crucible 15b and graphite crucible 15a which protects this crucible 15which, In order to surround side surface part of this crucible 15, is arranged heater 16which, In order to prevent fact that heat from heater 16 escapes to theheating chamber 12a outside insulating part material 21 being arranged, to be, As this crucible 15 is connected by driver and rotating stage 14 which are notillustrated, turns with specified speed by this driver, in order to supplythe fact that silicon melt liquid surface decreases attendant upon decrease of thesilicon melt inside crucible 15 it has reached point where ascent anddescent it does crucible 15. Inside chamber pulling up wire 17 which hangs is installed insidethe pulling up chamber 12b, chuck 19 which keeps seed crystal 18 is provided inthe bottom end of this wire. It winds top end of this pulling up wire 17, in wire winding machine 20 and istaken, pulling up equipment which reaches point where silicon single crystal ingot ispulled up is provided. And, it pulls up inside chamber 12 and Ar gas is introduced from thegas inlet 22 which was formed to chamber 12b, inside heating chamber 12acirculating evenly, is discharged from gas outlet port 23. This way Ar gas fact that it flows out is in order to try notto mix SiO which occurs inside chamber attendant upon meltingthe silicon in with of silicon melt.

【００１８】この装置を使用して、以下の条件でシリコン単結晶を育成した。

[0018] Using this equipment, it grew silicon single crystal with condition below .

原料融液重量：４５ｋｇ

Starting material melt weight : 45 kg

結晶育成速度：１．２mm／ｍｉｎ

Crystal growing rate : 1.2 mm/min

１２００℃～８５０℃温度域の滞在時間：２１０分

Residence time :2 10 min of 1200 °C to 850 °C temperature region

この条件で育成されたシリコン単結晶インゴットは次の通りである。

Silicon single crystal ingot which was reared with this condition is as follows.

伝導型：ｐ型（ボロンドープ）

Conduction type : P-type (boron dope)

結晶径：６インチ用（１６０mm）

Crystal diameter : For 6 inch (160 mm)

抵抗率：１０Ω・ｃｍ

Resistance : 10 Ω-cm

酸素濃度：７．５～７．８×１０^{17}atoms/cc（日本電子工業振興協会による酸素濃度換算係数を用いて算出）

Oxygen concentration : 7.5 to 7.8 X 10^{17} atoms / cc (Making use of oxygen concentration conversion coefficient due to Japan Electronic Industry Development Association calculation)

炭素濃度：＜１．０×１０^{17}atoms/cc　（日本電子工業振興協会による炭素濃度換算係数を用いて算出）

Carbon density : <1.0 X 10 17 atoms / cc (Making use of carbon concentration conversion coefficient due to Japan Electronic Industry Development Association calculation)

このインゴットから切り出したウェーハの酸化膜耐圧を測定し、表２に示した。表２の結果は、これらのシリコンウェーハの酸化膜耐圧のＣモード比率はいずれも６０％以上であり、本発明の方法で製造されたシリコンインゴットから切り出されたウェーハは、良好な酸化膜耐圧を有していることを示している。

It measured oxide film voltage resistance of wafer which is cut from this ingot,showed in Table 2. As for result of Table 2, as for C mode ratio of oxide film voltage resistance of thesesilicon wafer in each case is a 60 % or higher, wafer which is quarried out fromthe silicon ingot which is produced with method of this invention has shown thefact that it has possessed satisfactory oxide film voltage resistance.

【００１９】実施例２

[0019] Working Example 2

実施例１の装置を用いて、以下の条件でシリコン単結晶を育成した。

Making use of equipment of Working Example 1, silicon single crystal was grown with thecondition below .

原料融液重量：４５ｋｇ

Starting material melt weight : 45 kg

結晶育成速度：１．５ｍｍ／ｍｉｎ

Crystal growing rate : 1.5 mm/min

１２００℃～８５０℃温度域の滞在時間：４００分

Residence time :40 0 min of 1200 °C to 850 °C temperature region

この条件で育成されたシリコン単結晶インゴットは次の通りである。

Silicon single crystal ingot which was reared with this condition is as follows.

伝導型：ｎ型（Ｐドープ）

Conduction type : N-type (P dope)

結晶径：６インチ用（１６０ｍｍ）

Crystal diameter : For 6 inch (160 mm)

抵抗率：２Ω・ｃｍ

Resistance : 2 Ω-cm

酸素濃度：９．８～１０．０×１０^{17}atoms/cc（日本電子工業振興協会による酸素濃度換算係数を用いて算出）

Oxygen concentration : 9.8 to 10.0 X 1017 atoms / cc (Making use of oxygen concentration conversion coefficient due to Japan Electronic Industry Development Association calculation)

炭素濃度：＜１．０×１０^{17}atoms/cc　（日本電子工業振興協会による炭素濃度換算係数を用いて算出）

Carbon density : <1.0 X 10 17 atoms / cc (Making use of carbon concentration conversion coefficient due to Japan Electronic Industry Development Association calculation)

このインゴットから切り出したウェーハの酸化膜耐圧を測定し、表２に示した。表２の結果は、これらのシリコンウェーハの酸化膜耐圧のＣモード比率はいずれも６０％以上であり本発明の方法で製造されたシリコンインゴットから切り出されたウェーハは、良好な酸化膜耐圧を有していることを示している。

It measured oxide film voltage resistance of wafer which is cut from this ingot,showed in Table 2. As for result of Table 2, as for C mode ratio of oxide film voltage resistance of thesesilicon wafer in each case is a 60 % or higher and wafer which is quarried out fromthe silicon ingot which is produced with method of this invention has shown thefact that it has possessed satisfactory oxide film voltage resistance.

【００２０】比較例１

[0020] Comparative Example 1

実施例１の装置を用いて、以下の条件でシリコン単結晶を製造した。	Making use of equipment of Working Example 1, silicon single crystal was produced with thecondition below .
原料融液重量：４５ｋｇ	Starting material melt weight : 45 kg
結晶育成速度：１．２mm／ｍｉｎ	Crystal growing rate : 1.2 mm/min
１２００℃～８５０℃温度域の滞在時間：１９０分	Residence time : 19 0 min of 1200 °C to 850 °C temperature r egion
この条件で育成されたシリコン単結晶インゴットは次の通りである。	Silicon single crystal ingot which was reared with this condition i s as follows.
伝導型：ｐ型（ボロンドープ）	Conduction type : P-type (boron dope)
結晶径：６インチ用（１６０mm）	Crystal diameter : For 6 inch (160 mm)
抵抗率：１０Ω・ｃｍ	Resistance : 10 Ω-cm
酸素濃度：７．５～７．８×１０^{17}atoms/cc（日本電子工業振興協会による酸素濃度換算係数を用いて算出）	Oxygen concentration : 7.5 to 7.8 X 1017 atoms / cc (Making use of oxygen concentration conversion coefficient due to Japan Electronic Industry Development Association calculation)
炭素濃度：＜１．０×１０^{17}atoms/cc　（日本電子工業振興協会による炭素濃度換算係数を用いて算出）	Carbon density : <1.0 X 10 17 atoms / cc (Making use of ca rbon concentration conversion coefficient due to Japan Electronic Industry Development Association calculation)
このインゴットから切りだしたウェーハの酸化膜耐圧を測定し、実施例１、実施例２に合わせて表２に示した。表２の結果は、これらのシリコンウェーハの酸化膜耐圧のＣモード比率はいずれも６０％未満であり、酸化膜耐圧が優れていないことを示している。	It measured oxide film voltage resistance of wafer which it starts cutting from thisingot, adjusting to Working Example 1 and Working Example 2, it showed in Table 2. As for result of Table 2, as for C mode ratio of oxide film voltage resistance of thesesilicon wafer in each case is under 60 %, fact that oxide film voltage resistance is notsuperior has been shown.
【００２１】比較例２	[0021] Comparative Example 2
実施例１の装置を用いて、以下の条件でシリコン単結晶を育成した。	Making use of equipment of Working Example 1, silicon single crystal was grown with thecondition below .
原料融液重量：４５ｋｇ	Starting material melt weight : 45 kg
結晶育成速度：１．５mm／ｍｉｎ	Crystal growing rate : 1.5 mm/min
１２００℃～８５０℃温度域の滞在時間：１００分	Residence time : 10 0 min of 1200 °C to 850 °C temperature r egion
この条件で育成されたシリコン単結晶インゴットは次の通りである。	Silicon single crystal ingot which was reared with this condition i s as follows.
伝導型：ｎ型（Ｐドープ）	Conduction type : N-type (P dope)
結晶径：６インチ用（１６０mm）	Crystal diameter : For 6 inch (160 mm)

抵抗率：２Ω・ｃｍ

酸素濃度：９．８～１０．０×１０^{17}atoms/cc（日本電子工業振興協会による酸素濃度換算係数を用いて算出）

炭素濃度：＜１．０×１０^{17}atoms/cc　　（日本電子工業振興協会による炭素濃度換算係数を用いて算出）

このインゴットから切りだしたウェーハの酸化膜耐圧を測定し、実施例１、実施例２、比較例１に合わせて表２に示した。表２の結果は、これらのシリコンウェーハの酸化膜耐圧のＣモード比率はいずれも６０％未満であり、酸化膜耐圧は優れていないことを示している。

【００２２】

Resistance : 2 Ω-cm

Oxygen concentration : 9.8 to 10.0 X 1017 atoms / cc (Making use of oxygen concentration conversion coefficient due to Japan Electronic Industry Development Association calculation)

Carbon density : <1.0 X 10 17 atoms / cc (Making use of carbon concentration conversion coefficient due to Japan Electronic Industry Development Association calculation)

It measured oxide film voltage resistance of wafer which it starts cutting from thisingot, adjusting to Working Example 1, Working Example 2 and Comparative Example 1, it showed inthe Table 2. As for result of Table 2, as for C mode ratio of oxide film voltage resistance of thesesilicon wafer in each case is under 60 %, oxide film voltage resistance has shown factthat it is not superior.

[0022]

【表２】

[Table 2]

	Ｃモード比率
実施例１	８８％
実施例１	８２％
実施例１	８５％
実施例２	９０％
実施例２	９２％
実施例２	９１％
比較例１	２８％
比較例１	３２％
比較例１	２６％
比較例２	１１％
比較例２	５％
比較例２	８％

【００２３】

[0023]

【発明の効果】本発明のシリコン単結晶あるいは本発明の製造方法によるシリコン単結晶は、良好な酸化膜耐圧

[Effects of the Invention] As for silicon single crystal due to silicon single crystal of this invention or manufacturing method of

を有するため、ゲート酸化膜の信頼性が高く、ＭＯＳデバイス用ウェーハに適する。

【００２４】

【図面の簡単な説明】

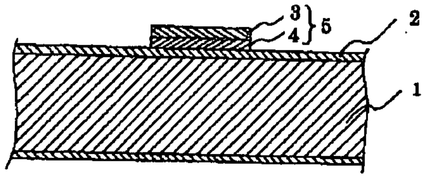
【図１】は、本発明の製造方法で得られたシリコン単結晶の絶縁酸化膜の耐電圧特性を評価するために実装したＭＯＳダイオードの一部断面図である。

【図２】は、本発明の実施例に用いたＣＺ法シリコン単結晶製造装置の概略図である。

【符号の説明】

１…シリコン単結晶、２…絶縁酸化膜、３…アルミニウム膜、４…多結晶シリコン、５…２層ゲート電極、１１…ＣＺ法シリコン単結晶製造装置、１２…チャンバ、１２ａ…加熱チャンバ、１２ｂ…引上げチャンバ、１４…回転軸、１５…ルツボ、１５ａ…黒鉛製ルツボ、１５ｂ…石英ルツボ、１６…加熱ヒータ、１７…ワイヤ、１９…チャック、２０…ワイヤ巻き上げ機、２１…断熱部材、２２…ガス導入口、２３…ガス流出口、３０…分離機構。

【図１】



thethis invention, in order to possess satisfactory oxide film voltage resistance, reliability of the gate oxide filmis high, is suited for MOS device use wafer.

[0024]

[Brief Explanation of the Drawing(s)]

[Figure 1] It is a partial cross section figure of MOS diode which is mounted in order toappraise voltage resistance characteristic of insulating oxidized film of silicon single crystal which is acquired withthe manufacturing method of this invention.

[Figure 2] It is a conceptual diagram of CZ method silicon single crystal production equipment which is used for Working Example of this invention.

[Explanation of Reference Signs in Drawings]

1... silicon single crystal, 2... insulating oxidized film, 3... aluminum membrane, 4... polycrystalline silicon, 5... 2 layers gate electrode, 11... CZ method silicon single crystal production equipment, 12... chamber and 12a ... heatingchamber, 12b... pulling up chamber, 14 ... rotating shaft, 15... crucible, 15a... graphite crucible, 15b... quartz crucible, 16... heater, 17... wire, 19... chuck, 20 ... wire winding machine and 21... insulating part material, 22... gas inlet, 23... gas outlet port and 30... separation mechanism.

[Figure 1]

【図２】

[Figure 2]